

PAT-NO: JP358169662A
DOCUMENT-IDENTIFIER: JP 58169662 A
TITLE: SYSTEM OPERATING SYSTEM
PUBN-DATE: October 6, 1983

INVENTOR-INFORMATION:

NAME

NISHINO, TETSUO
AKIYOSHI, KAZUMI
IWABUCHI, EISUKE

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP57052974

APPL-DATE: March 31, 1982

INT-CL (IPC): G06F015/16, G06F011/00 , G06F013/00

US-CL-CURRENT: 700/4

ABSTRACT:

PURPOSE: To ensure continuation of an operation despite the double faults of a common memory, by providing the substitute memory region of a common memory to individual memories.

CONSTITUTION: A multi-processor system contains common memories CM<SB>0</SB> and CM<SB>1</SB> and individual memories MM<SB>0</SB> and MM<SB>1</SB>. These common and individual memories are formed with blocks which are divided to prescribed memory regions. When a fault arises to a common memory, the faulty memory block is transferred to an idle region of the individual memory.

Controllers CC<SB>0</SB> and CC<SB>1</SB> designate the block of the individual memory in place of the common memory and continues the process.

COPYRIGHT: (C)1983,JPO&Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—169662

⑤ Int. Cl.³

G 06 F 15/16

11/00

13/00

識別記号

1 0 1

庁内整理番号

6619—5B

7368—5B

7218—5B

⑬ 公開 昭和58年(1983)10月6日

発明の数 1

審査請求 有

(全 3 頁)

⑭ システム運転方式

川崎市中原区上小田中1015番地
富士通株式会社内

⑯ 特 願 昭57—52974

⑰ 発 明 者 岩淵英介

⑱ 出 願 昭57(1982)3月31日

川崎市中原区上小田中1015番地
富士通株式会社内

⑲ 発 明 者 西野哲男

⑳ 出 願 人 富士通株式会社

川崎市中原区上小田中1015番地
富士通株式会社内

川崎市中原区上小田中1015番地

㉑ 発 明 者 秋好一己

㉒ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称

システム運転方式

2. 特許請求の範囲

共通メモリと個別メモリとを備えるマルチプロセッサシステムにおいて、前記共通メモリと前記個別メモリは、所定のメモリ領域に分割されたブロックで構成され、制御側にはアクセスすべき該ブロックを指定する手段を備え、前記共通メモリ障害時に障害の発生したメモリブロック或いは共通メモリ全域を前記個別メモリの空領域に移し、制御側は前記共通メモリに代えて前記個別メモリのメモリブロックを指定することを特徴とするシステム運転方式。

3. 発明の詳細な説明

(1) 発明の技術分野

本発明は、マルチプロセッサシステムにおける共通メモリの障害発生時の運転方式に関するものである。

(2) 技術的背景

一般にデータ処理システム、交換処理システムでは、分散制御方式等を採用する例が増えており、制御系においてはマルチプロセッサによるシステムが開発されている。また各プロセッサ間で処理上共通のデータ等を読出し、書き込み可能なように共通メモリを備え、各プロセッサが独立して共通メモリをアクセスするシステム構成も良く知られている。

(3) 従来技術と問題点

かかるマルチプロセッサシステムでは、共通メモリの障害対策としてメモリを2重化し、通常は現用/予備用(ACT/STBY)モードで、同期運しており、現用系共通メモリ障害時には、予備用の共通メモリを現用系と切替えて運転続行を図っている。しかし、2重化された共通メモリがともに障害(2重障害)となると、システムは運転続行不可能となり停止(システムダウン)してしまい、共通メモリの少なくとも一系を保守しシステム再立上げ(IPL)を行なわなければならなかった。

(4) 発明の目的

本発明の目的は、上記問題点を解決し、共通メモリの2重障害時にも運転執行を可能とする共通メモリ障害時の運転方式を提供することにある。

(5) 発明の構成

上記目的を達成するために、本発明は、共通メモリと、個別メモリとを備えるマルチプロセッサシステムにおいて、前記共通メモリと前記個別メモリは所定のメモリ領域に分割されたブロックで構成され、制御部にはアクセスすべきブロックを指定する手段を備え、前記共通メモリ障害時に障害の発生したメモリブロックを前記個別メモリの空領域に移し、制御部は前記共通メモリに代えて前記個別メモリのメモリブロックを指定し、制御装置上のプログラムは、共通メモリへのアクセスと何ら変わることなく処理継続可能ならしめたことを特徴とする。

(6) 発明の実施例

上記構成のもと、第2図に示す本発明の共通メモリ障害時の運用方式について説明する。第2図は共通メモリCMと個別メモリMM及び制御装置CC内のページ制御レジスタPCR関係を示し、特にページ制御レジスタPCRのLPRは現在実行されているプログラムが格納されているページ番号を示し、PPRは現在実行中の命令でデータ等をアクセスする際の該当するページ番号を示す。

システム立上げ時には、第1図に示したファイルメモリFMよりプログラム命令及び個別データが各個別メモリの所定のページに格納され、共通のデータは共通メモリに格納される。例えば第2図に示す如く、第0ページP0、第1ページP1にプログラム命令が格納され、第2ページP2に個別データが格納される。共通メモリCM側の第5ページP5、第6ページP6には共通データが格納される。

ここで本発明の注目すべき点は、個別メモリMM内に空ページP3、P4を備えていること

以下、本発明を実施例により詳細に説明する。第1図は本発明に係るシステム構成図である。図において、CN₀、CM₁は共通メモリ、CMC₀、CMC₁は共通メモリ制御装置、CC₀、CC₁は制御装置、MM₀、MM₁は各制御装置CC₀、CC₁の個別メモリ、FMはシステム立上げ時等で使用するファイルメモリ、BUS_{0,1}は各制御装置C₀、C₁が独立して使用する共通バスである。

共通メモリCMC_{0,1}及び個別メモリMM_{0,1}は所定バイト量(例えば64K語)単位にページに分割され、各ページ毎にアクセス可能な構成をとっている。このページを処理するために該当ページを指定するページ制御レジスタPCRが各プロセッサCCに備えられ、後述の如く処理される。共通メモリ制御部CMCには共通メモリのページ単位で障害等(パリティエラー含む)を制御装置へ通知可能なデバイスステータスレジスタDSR_{0,1}が備えられている。

とである。即ち、正常の運転時ではページ制御レジスタPCRのページ指定LPRにより所定ページへアクセス(1)し、命令が取り出され実行されていく。

またページ指定PPRにより共通メモリCMの所定ページへアクセス(2)し、共通データの読出し書込みが行なわれる。共通メモリ制御装置CMCのデバイスステータスレジスタDSRがメモリ障害の発生を示すと、制御装置CCは、該メモリ障害を検知し、該当するページのメモリ内容をファイルメモリから読み出し個別メモリMMのページP3あるいはP4に格納し、共通メモリCMへのアクセス(2)を個別メモリMM(4)へのアクセスへ切替えることにより運転を続行可能とする。

尚、共通メモリの障害(2重系の場合は2重系ともに障害となったとき)は、ページ単位であっても、全ページ障害であっても、個別メモリの空ページ量に制御されるだけであり、本発明による効果は変わらない。

また上記説明では、メモリ領域を所定メモリ量毎に分割したページ構成を取るが、所定のメモリブロックを指定できるものであれば、本ページアドレス形式に限られるものではない。

また、各制御装置 CC_0, CC_1 系がさらに二重化されていても本発明の効果にかわりはない。

(7) 発明の効果

以上説明したように、本発明によれば、共通メモリの代替メモリ領域を個別メモリに備えることにより、ページ制御レジスタ指定を変更するだけで、共通メモリの2重障害時にもシステムダウンすることなく運転を継続でき、システムの信頼度が向上する。また、運転継続のための特殊なフォールバック処理（機能はある程度落しても処理継続させる）プログラムを用意し、共通メモリへのアクセスを停止させ、通常時と別動作をさせるような努力を全く要することなく、共通メモリ2重障害時にも、通常プログラムをそのまま動作

可能となしうる。

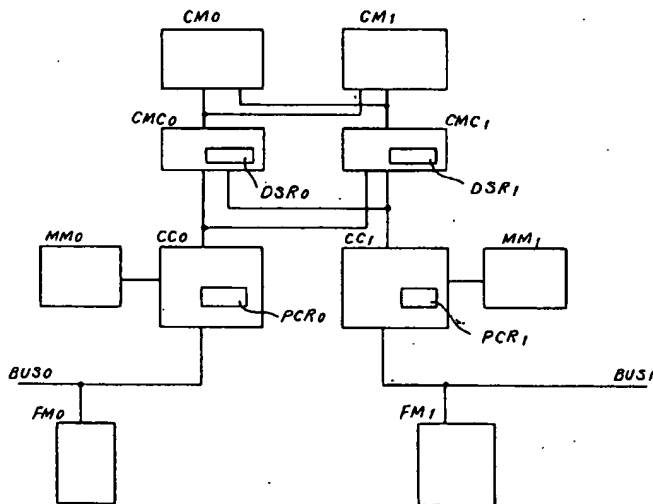
4. 図面の簡単な説明

第1図は本発明に係るシステム構成図、第2図は本発明のシステム運転方式を説明する構成図である。

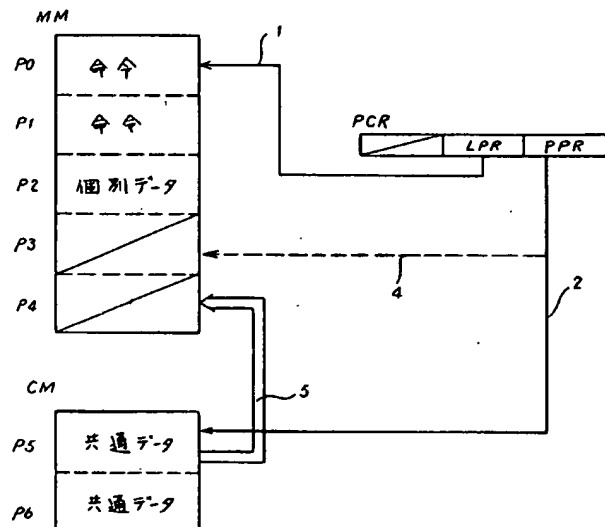
CM_0, CM_1 : 共通メモリ MM_0, MM_1 : 個別メモリ CC_0, CC_1 : 制御装置 PCR_0, PCR_1 : ページコントロールレジスタ

代理人 弁理士

松岡 室 四 郎



第 1 図



第 2 図